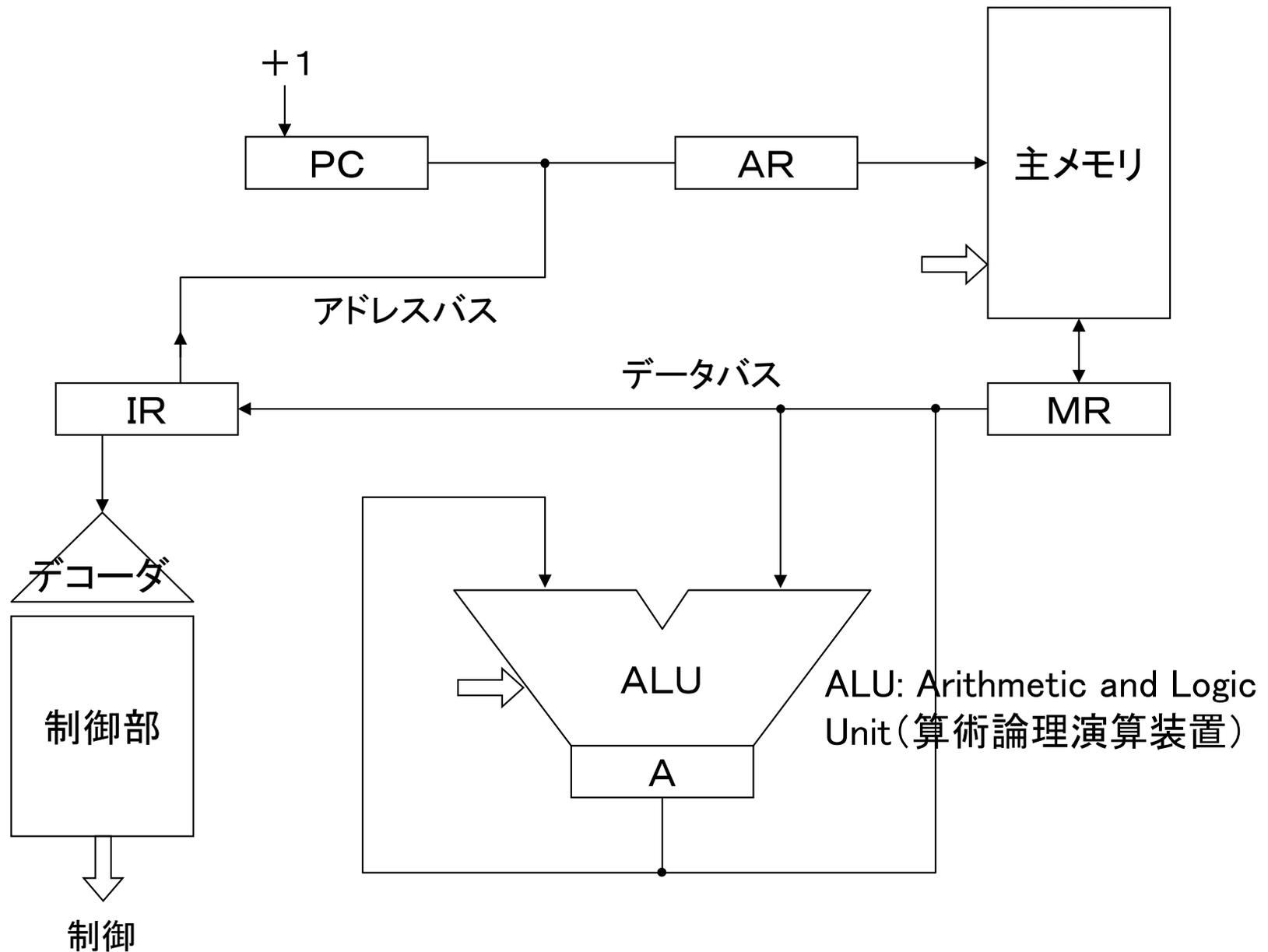

第9章「演算・制御装置, メモリシステム」

- ・ ALU
- ・ デコーダ, マルチプレクサ
- ・ マイクロプログラム
- ・ メモリの種類
- ・ メモリのアクセス時間

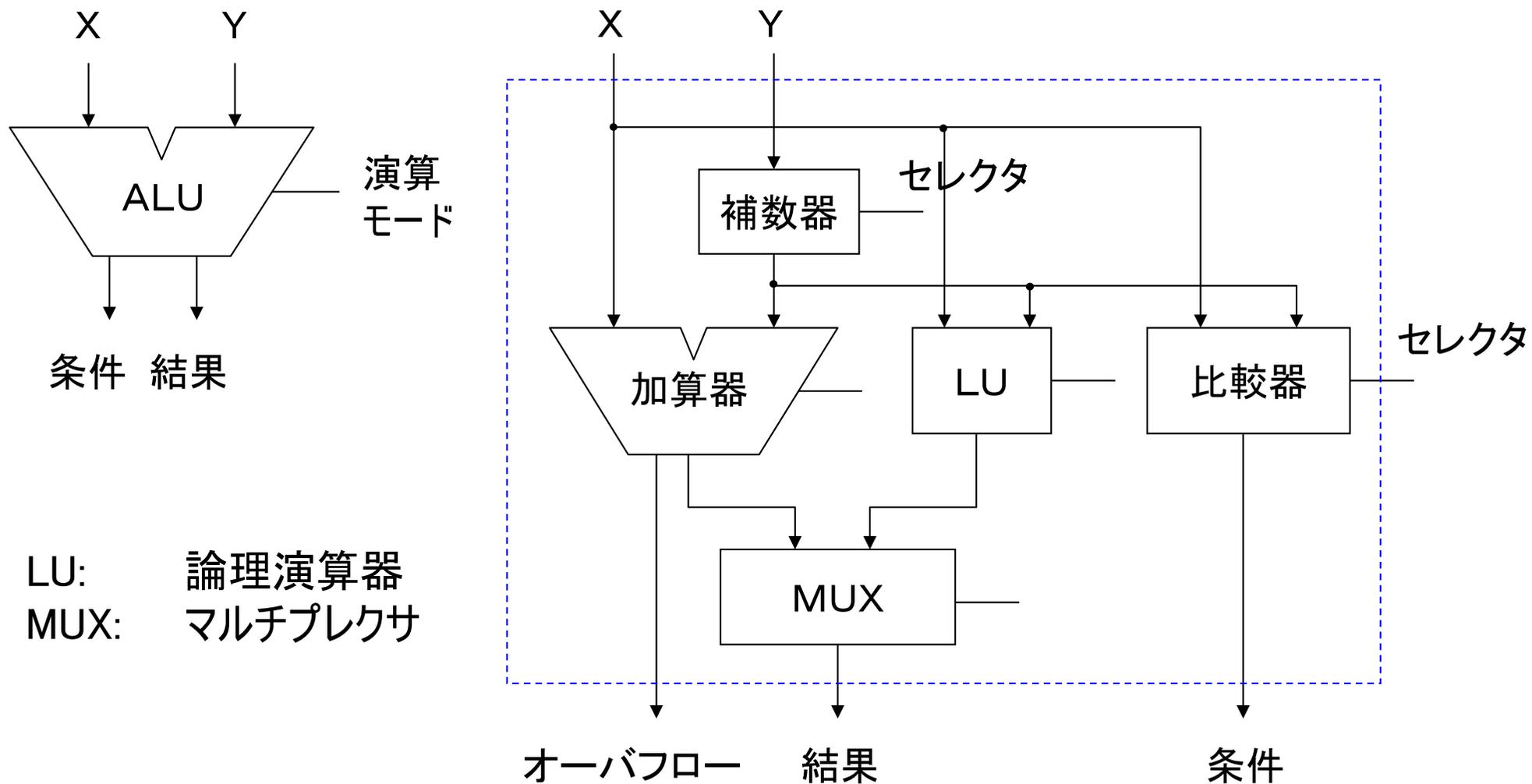
アキュムレータ型CPUの構造



命令の実行

- 取り出し
サイクル
- 実行
サイクル
- 1) 主記憶から命令を取り出す
 - 2) 取り出された命令を解読
 - 3) 実効アドレスを計算
 - 4) 主記憶からデータを取り出す
 - 5) 命令を実行
 - 6) 演算結果を格納

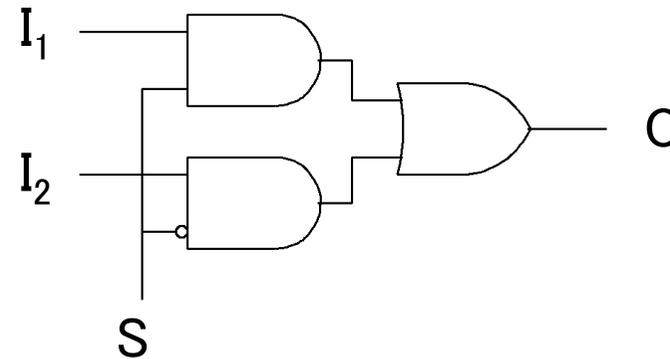
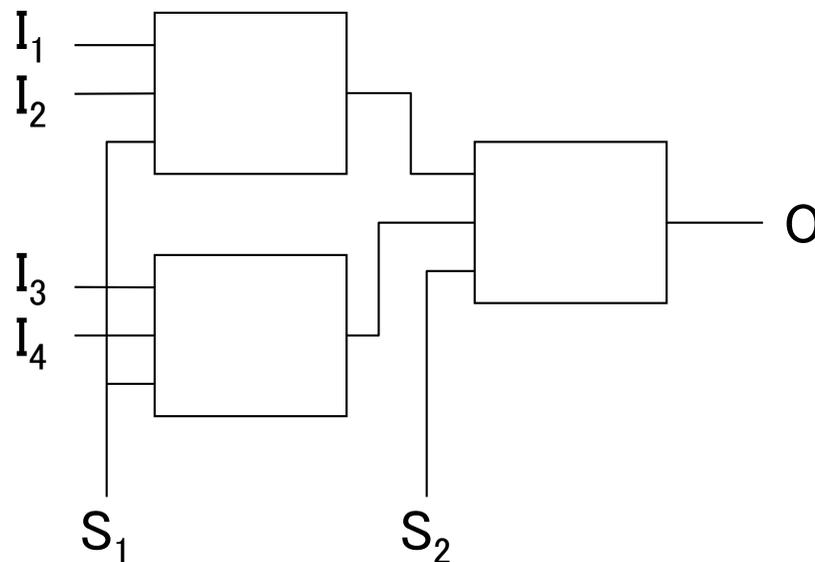
演算装置 (Arithmetic Logic Unit)



マルチプレクサ

- 複数の入力のうち指定の1つを選んで出力する, 入力切替器

例) 4ビットマルチプレクサ



1ビット分の基本回路

S_1	S_2	O
0	0	I_4
0	1	I_2
1	0	I_3
1	1	I_1

制御装置の役割

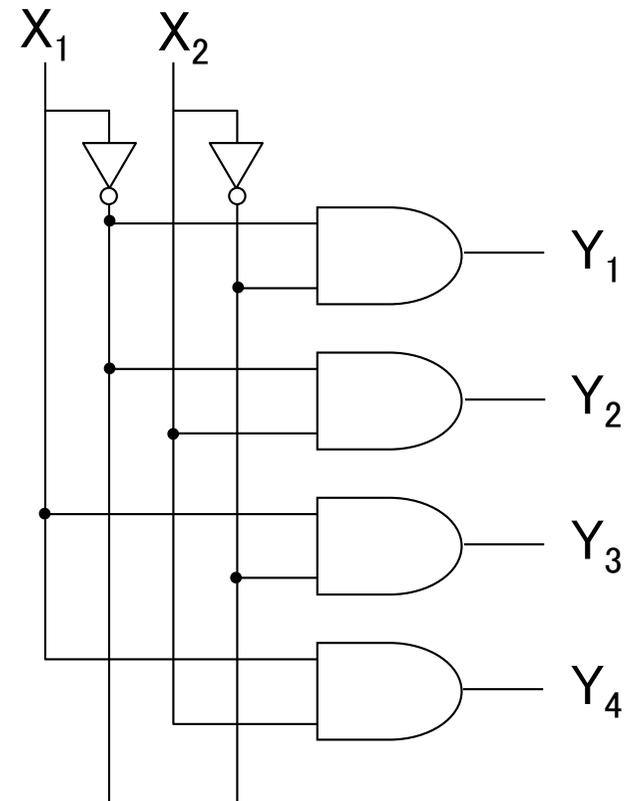
- ・ 命令を解読し, CPU各部に制御信号を送って制御する
- ・ 設計の考え方
 - 配線論理方式 (Wired logic) (->RISC)
 - マイクロプログラム方式(->CISC)

デコーダ

- 入力されたコードを解読 (decode) し, 出力線の1本を1とする回路

例) 2入力4出力のデコーダ

X_1	X_2	Y_1	Y_2	Y_3	Y_4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



※ 逆を行う回路をエンコーダと呼ぶ

マイクロプログラム方式

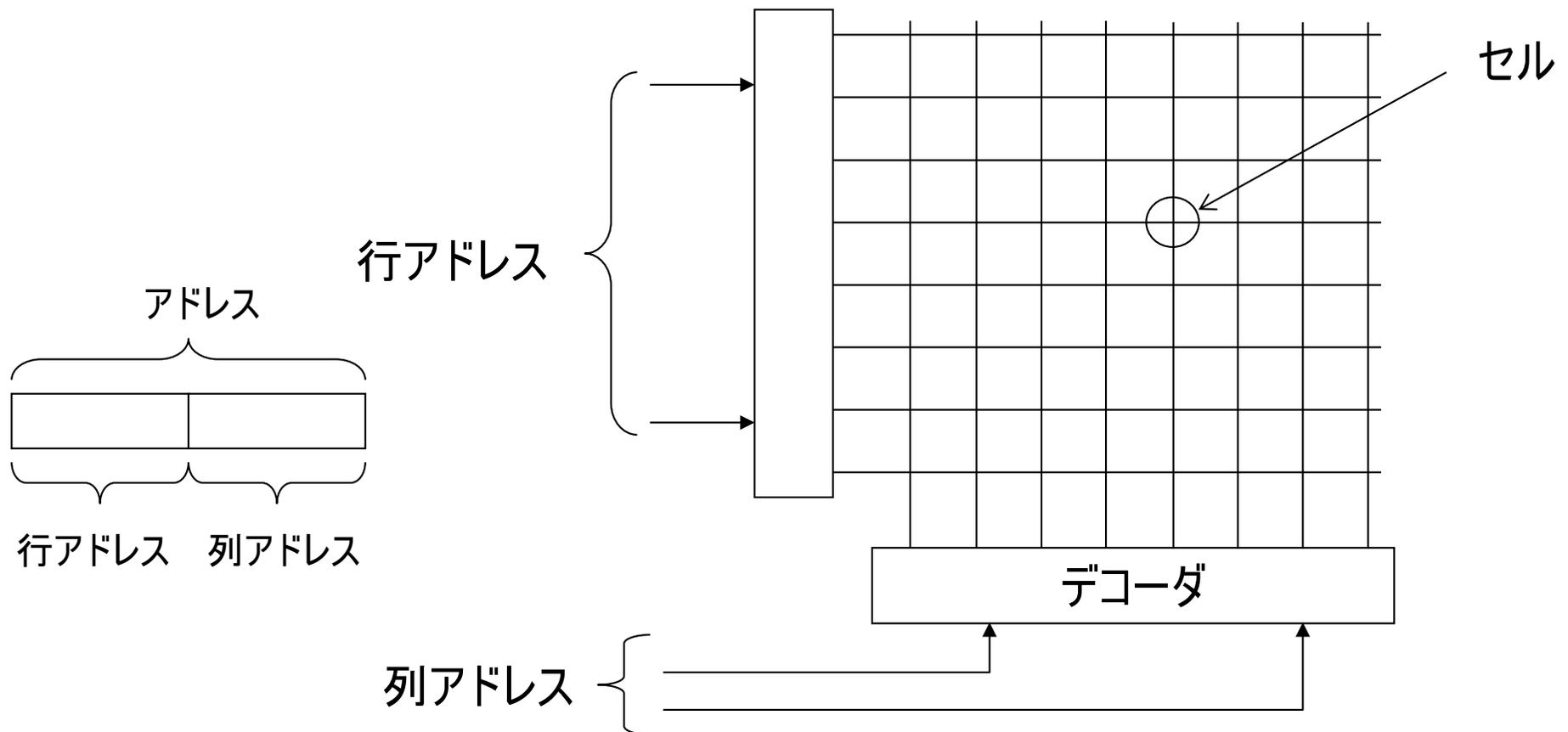
- ・ 1つの命令が複数のマイクロ操作で記述される
- ・ 異なる命令を異なるプログラムとして実現
 - 1つのマイクロ操作＝マイクロ命令
 - マイクロ命令の並び＝マイクロプログラム
- ・ 柔軟(マイクロプログラムを変更できる), 回路設計が容易になる
- ・ マイクロプログラム自体は主記憶とは異なる記憶領域に置く
- ・ 取り出しサイクルでは共通のプログラムを実行
- ・ 実行サイクルでは, デコードされた命令ごとのプログラムへ分岐(マイクロプログラム内で)

RAM と ROM

- RAM = Random Access Memory
 - SRAM (Static RAM)
 - DRAM (Dynamic RAM)
 - SDRAM (Synchronous DRAM)
 - ROM = Read Only Memory
 - マスクROM
 - PROM (Programmable ROM)
 - EPROM (Erasable PROM)
 - EEPROM (Electrically EPROM)
 - フラッシュメモリ
- 揮発性
- 不揮発性

RAM の構造

- ・ 1ビットを格納する場所＝セル
- ・ アドレスを上位(行)と下位(列)に分ける

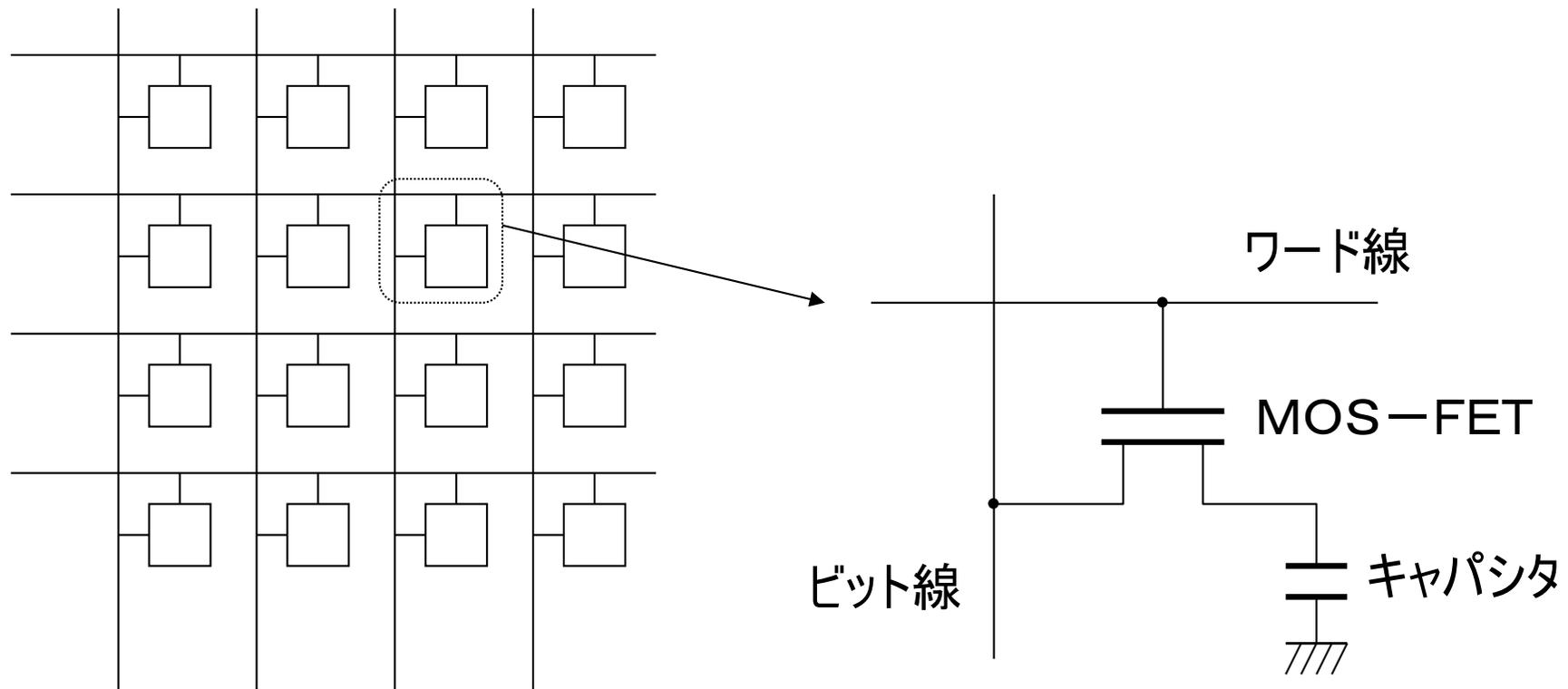


SRAM と DRAM

- ・ SRAM = Static RAM
 - 1セルをフリップフロップにより構成
 - 1セルに複数のトランジスタが必要であり, 集積度の点で DRAM に劣る
 - 高速であるためキャッシュメモリに利用される
 - 低消費電力
- ・ DRAM = Dynamic RAM
 - 1セルはトランジスタとキャパシタで構成
 - 大規模な集積化が可能
 - プリチャージとリフレッシュを要する, リフレッシュ中は読み書き不能

DRAM の構造

- メモリセルは1個のトランジスタ(MOS-FET)とキャパシタ(コンデンサ)の2つの素子からなる

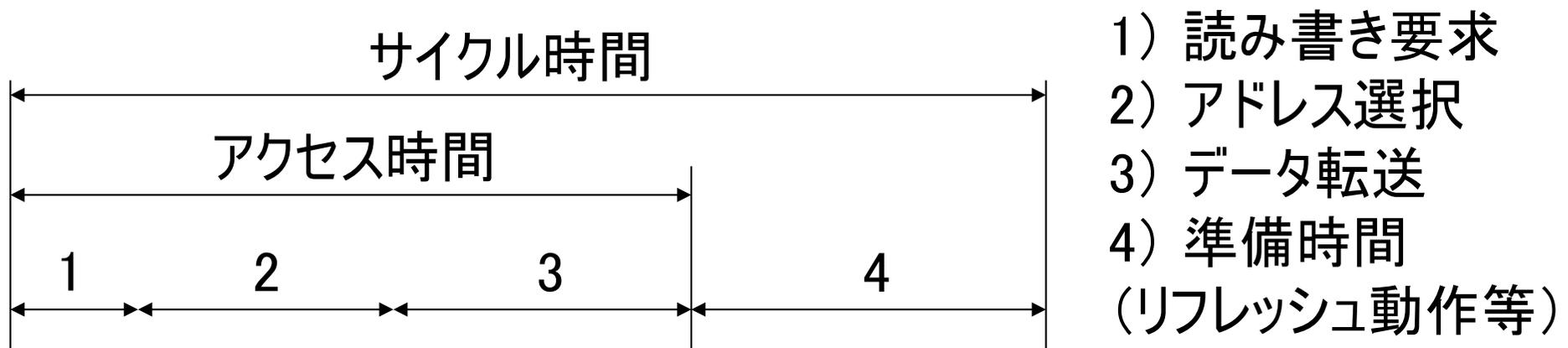


DRAMの基本動作

- ・ リフレッシュ
 - 一定時間ごとに記憶内容を書き込み直す動作
 - 徐々にキャパシタから放電される
- ・ プリチャージ
 - データを読み出すたびに同じ内容を書き込む動作
 - 読み出すと、内容はクリアされるため(破壊読出し)

DRAMの動作

- ・ アクセス時間
 - 読み書きの信号を出してからデータの受け渡しが完了するまでに要する時間
- ・ サイクル時間
 - 読み書きの一連の動作が終了後、再び読み書きの信号による動作を開始できるまでの時間



DRAMのアクセス時間

- ・ CPUの速度に比べて一般に(相当)遅い
- ・ ランダムアクセス
 - 毎回異なるアドレスにアクセス
- ・ バーストアクセス
 - 連続するアドレスにアクセス

参考: CPUクロック1GHz=1ns

	ランダムアクセス 時間(ns)	バーストアクセス 時間(ns)
DRAM(FPM)	50	35
SDRAM	50	8
従来型SRAM	15	–
同期型SRAM	6	–

今後の予定

- ・ 5/16(水)
- ・ 5/21(月)
- ・ 5/23(水)
- ・ 5/28(月)
- ・ 5/30(水)
- ・ 6/4(月): 試験